

MANUFACTURE OF NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

Publication number: JP5218440

Publication date: 1993-08-27

Inventor: SAITO KENJI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: H01L21/8247; H01L29/788; H01L29/792; H01L21/70;
H01L29/66; (IPC1-7): H01L29/788; H01L29/792

- European:

Application number: JP19920014942 19920130

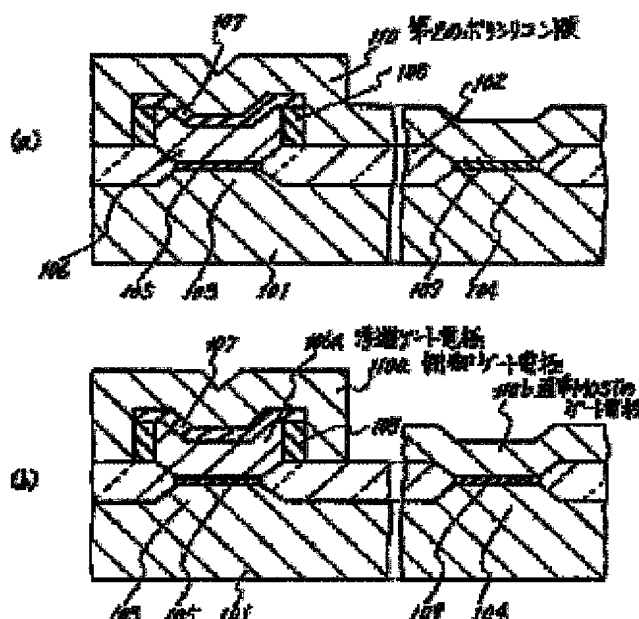
Priority number(s): JP19920014942 19920130

Report a data error here

Abstract of JP5218440

PURPOSE: To form an insulating film thicker than an insulating film, which is formed on the upper part of a polysilicon film, on the sidewall parts of the polysilicon film to eliminate that the insulating film on the floating gate electrode of a stack gate type MOS transistor is bad in film quality at the edge parts and sidewall parts of the polysilicon film constituting the floating gate electrode and the charge hold characteristics of a nonvolatile semiconductor storage device are deteriorated.

CONSTITUTION:A polysilicon film, which is used as a floating gate electrode 106a, and an insulating film 107 having an oxidation resistance are formed and thereafter, the polysilicon film is etched, is left at a prescribed region, then, the left polysilicon film is thermally oxidized, whereby a sidewall insulating film 108 thicker than the film 107 resistant to oxidation is formed on the side surfaces of the polysilicon film.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-218440

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵H 0 1 L 29/788
29/792

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-14942

(22)出願日 平成4年(1992)1月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 齋藤 賢治

東京都港区芝五丁目7番1号日本電気株式
会社内

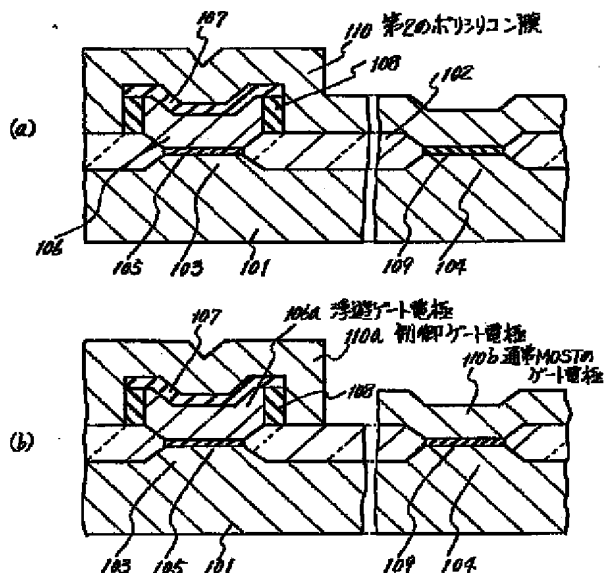
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 不揮発性半導体記憶装置の製造方法

(57)【要約】

【目的】スタックゲート型MOSトランジスタの浮遊ゲート電極上の絶縁膜は、浮遊ゲート電極を構成するポリシリコン膜のエッジ部や側壁部で膜質が悪く電荷保持特性を劣化させている。そこでポリシリコン膜の側壁部に、上部より厚い絶縁膜を形成する。

【構成】浮遊ゲート電極106aとなるポリシリコン膜と耐酸化性を有する絶縁物107を形成後、エッチングして、所定の領域に残し、次に熱酸化することによりポリシリコン膜の側面に、耐酸化性を有する絶縁膜107より厚い側壁絶縁膜108を形成する。



【特許請求の範囲】

【請求項1】 一導電型半導体基板の表面部に選択的にフィールド酸化膜を形成して素子形成領域を区画する工程と、前記素子形成領域の半導体基板表面に第1のゲート絶縁膜を形成する工程と、第1の導電性膜および耐酸化性の第2のゲート絶縁膜を順次に形成したのちパターニングを行ない前記第1の素子形成領域とその近傍に残存する工程と、前記第1の導電膜の側面を酸化して側壁絶縁膜を形成する工程と、第2の導電性膜を堆積したのちパターニングを行ない前記第1の導電性膜からなる浮遊ゲート電極および前記第2の導電性膜からなる制御ゲート電極を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性半導体記憶装置の製造方法に関し、特にスタックゲート型MOSトランジスタの浮遊ゲート電極の側壁部に絶縁膜を形成する工程を含む不揮発性半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】 従来のスタックゲート型MOSトランジスタの製造方法について図3～図4を参照して説明する。まず、図3(a)に示すように、P型シリコン基板1上に通常の選択酸化法により厚いフィールド酸化膜2を形成し、スタックゲート型MOSトランジスタ（以下SG-MOSTと記す）の第1ゲート酸化膜となる第1のゲート酸化膜5を形成する。続いて、第1のポリシリコン膜6を形成後、図3(b)に示すように、リソグラフィ技術を用いて、この第1のポリシリコン膜6がSG-MOST形成領域3とその近傍のみ残るようにRIE（反応性イオンエッチ）のような異方性エッチングでエッチングする。次に全面にわたりCVD法（化学気相成長法）等により耐酸化性を有する第2のゲート絶縁膜7（例えば窒化シリコン膜）を形成する。次に、図3

(c)に示すように、リソグラフィ技術を経て、第1のポリシリコン膜6の上部と、側壁部に残して第2のゲート絶縁膜7を除去する。次に、図4(a)に示すように、通常MOST形成領域4に通常MOSTのゲート酸化膜となる第3のゲート絶縁膜9を熱酸化法等により形成する。次に、図4(b)に示すように第2のポリシリコン膜10を全面にわたり形成する。続いて、リソグラフィ技術を用いて、第1のポリシリコン膜6、第2のゲート絶縁膜7および第2のポリシリコン膜10を所定形状にエッチングすることによりSG-MOST形成領域3に浮遊ゲート電極6a、制御ゲート電極10aを通常MOST形成予定領域4にゲート電極10bを形成する。これにより2層のゲート電極を有するSG-MOSTと一層ゲート電極を有する通常MOSTが形成される。

【0003】 次に図7にSG-MOSTをメモリセルとするセルアレイの回路図を示す。CGは制御ゲート電極、FGは浮遊ゲート電極、BL1、BL2はビット線、WL1、WL2はワード線、SLは接地線である。

【0004】 SG-MOSTQ1への書き込みは、WL1とBL1を同時に高電位（例えば、14V程度）にし、ホットエレクトロンを発生させることにより、Q1の浮遊ゲート電極FGに電子を注入して達成される。

【0005】

【発明が解決しようとする課題】 しかしながら上述した従来の製造方法では、第2のゲート絶縁膜を、浮遊ゲート電極の上部に形成するとき、同時に側壁部にも形成するため、同一の膜厚の絶縁膜しか形成されていない。ところで、セルQ1に書き込みを行ない、引き続きセルQ2に書き込みを行なう場合、セルQ1は、制御ゲート電極のみが高電位となるので、浮遊ゲート電極から制御ゲート電極へ電子が放出されてしまう危険性があるが、図4(c)に示すように、浮遊ゲート電極6aのエッジ部Aで、絶縁膜が不均一になり易いので、そこで電子が散逸しやすくなり、書込まれたセルのしきい値電圧が低下するという問題点があった。

【0006】

【課題を解決するための手段】 本発明の不揮発性半導体記憶装置の製造方法は、一導電型半導体基板の表面部に選択的にフィールド酸化膜を形成して素子形成領域を区画する工程と、前記素子形成領域の半導体基板表面に第1のゲート絶縁膜を形成する工程と、第1の導電性膜および耐酸化性の第2のゲート絶縁膜を順次に形成したのちパターニングを行ない前記第1の素子形成領域とその近傍に残存する工程と、前記第1の導電膜の側面を酸化して側壁絶縁膜を形成する工程と、第2の導電性膜を堆積したのちパターニングをおこない前記第1を導電性膜からなる浮遊ゲート電極および前記第2の導電性膜からなる制御ゲート電極を形成する工程とを有するというものである。

【0007】

【実施例】 次に本発明の第1の実施例について図1～図2を参照して説明する。

【0008】 まず、図1(a)に示すように、例えばP型シリコンのような一導電型半導体基板101の表面に通常の選択酸化法により、厚いフィールド酸化膜102を形成してSG-MOST形成領域103および通常MOST形成領域104を区画し、SG-MOST形成領域103および通常MOST形成領域104に第1のゲート絶縁層105として厚さ20nm程度の酸化シリコン膜を形成する。その後、全面にわたり第1のポリシリコン膜106を形成し、第1のポリシリコン膜106にリンを拡散させる。続いて第1のポリシリコン膜106上にCVD（化学気相成長）法等で耐酸化性を有する第2のゲート絶縁膜107として例えば厚さ20nmの窒

化シリコン膜を形成する。

【0009】その後、図1(b)に示すように、リソグラフィ工程を経て、SG-MOST形成領域103とそ近傍にのみ第1のポリシリコン膜106と第2のゲート絶縁膜107を残すようにエッチングを行なう。

【0010】次に、図1(c)に示すように、熱酸化を行なうことにより通常MOST形成領域104と、第1のポリシリコン膜106の側壁部にそれぞれ第3のゲート絶縁膜109および側壁絶縁膜108を形成する。このとき通常MOST形成領域104に厚さ20nm程度の酸化シリコン膜を形成すると、第1のポリシリコン膜106にはリンが拡散されているため、酸化速度が、半導体基板101の1.5倍〜2倍ぐらいあり、第1のポリシリコン膜106の側壁部には、厚さ30〜40nm程度の酸化シリコン膜が形成される。

【0011】次に、図2(a)に示すように、全面にわたりMOSTの第2のポリシリコン膜110を形成する。その後、リソグラフィ工程を利用して第2のポリシリコン膜110、第2のゲート絶縁膜107、第1のポリシリコン膜106を所定パターンにエッチングを行なうことにより、図2(b)に示すように、SG-MOST形成領域に浮遊ゲート電極106a、制御ゲート電極110aを、通常MOST形成領域104にはゲート電極110bをそれぞれ形成する。続いて、制御ゲート電極110a、ゲート電極110bをマスクとしてn型不純物をイオン注入してドレイン及びソースとして働く不純物拡散層を形成する。これにより、SG-MOSTと通常MOSTが形成される。

【0012】第2のゲート絶縁膜107とは独立に側壁絶縁膜を厚く形成できるので、書き込み時の電子の散逸を少なくできる。

【0013】次に、本発明の第2の実施例について、図5、図6を参照して説明する。

【0014】まず、図5(a)に示すように、例えばP型シリコンのような半導体基板201の表面部に通常の選択酸化法により厚いフィールド酸化膜202を形成して区画したSG-MOST形成領域203および通常MOST形成領域204に第1のゲート絶縁膜205として厚さ20nm程度の酸化シリコン膜を形成する。その後全面にわたり第1のポリシリコン膜206を形成し、第1のポリシリコン膜206にリンを拡散させる。続いて第1のポリシリコン膜206にCVD法等で耐酸化性を有する第2のゲート絶縁膜206として厚さ20nmの窒化シリコン膜を形成する。その後リソグラフィ工程を経て、図5(b)に示すようにSG-MOST形成領域203とその近傍および通常MOST形成領域204を含む所定領域に第1のポリシリコン膜206と第2のゲート絶縁膜207を形成残すようエッチングを行なう。次に熱酸化を行ない第1のポリシリコン膜206の側面を酸化して厚さ30〜40nmの側壁絶縁膜208

を形成する。通常MOST形成領域204の方の第1のポリシリコン膜206にも側壁絶縁膜が形成される。

【0015】次に、図6(a)に示すように、全面にわたり第2のポリシリコン膜210を形成する。その後リソグラフィ工程を利用して、第2のポリシリコン膜210、第2のゲート絶縁膜207、第1のポリシリコン膜を所定パターンにエッチングを行なうことにより、図6(b)に示すように、SG-MOST形成領域203を横切って配置された浮遊ゲート電極206a、制御ゲート電極210aを、通常MOST形成領域204通常MOST形成領域204を横切って配置された通常MOSTのゲート電極210bを形成する。ゲート電極210b部の第2のポリシリコン膜は、図示のように、除去してもよい。続いて、第2のポリシリコン膜(210a、210b)をマスクとしてn型不純物をイオン注入して、ドレイン及びソースとして働く不純物拡散層を形成する。これによりSG-MOSTと通常MOSTトランジスタ(MOST)が形成される。

【0016】この実施例では、側壁絶縁膜208の形成が、第2のゲート絶縁膜207および通常MOSTのゲート絶縁膜の双方と独立に行えるので、一層確実に浮遊ゲート電極からの電子の散逸を防止できる。

【0017】

【発明の効果】以上説明したように従来、スタックゲート型MOSTトランジスタの浮遊ゲート電極の表面及び側面の絶縁膜は、同時に形成していたので、エッジ部や側壁部で膜質が悪く、浮遊ゲート電極からの電子の散逸の原因となっていたのを、本発明によれば、上部と側壁部の絶縁膜を別々に形成し、側壁部に上部の1.5倍から2倍の膜厚の絶縁膜を形成することにより、浮遊ゲート電極からの電子の散逸を減少させることができ、不揮発性半導体記憶装置の歩留りや信頼性を改善できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明に使用するため(a)〜(c)に分図して示す工程準断面図である。

【図2】本発明の第1の実施例に使用するため図1に続いて(a)、(b)に分図して示す工程順断面図である。

【図3】従来技術の説明に使用するため(a)〜(c)に分図して示す工程順断面図である。

【図4】従来技術の説明に使用するため図3に続いて(a)〜(c)に分図して示す工程順断面図である。

【図5】本発明の第2の実施例の説明に使用するため(a)〜(c)に分図して示す工程準断面図である。

【図6】本発明の第2の実施例の説明に使用するため図5に続いて(a)、(b)に分図して示す工程順断面図である。

【図7】SG-MOSTをメモリセルとするセルアレイの回路図である。

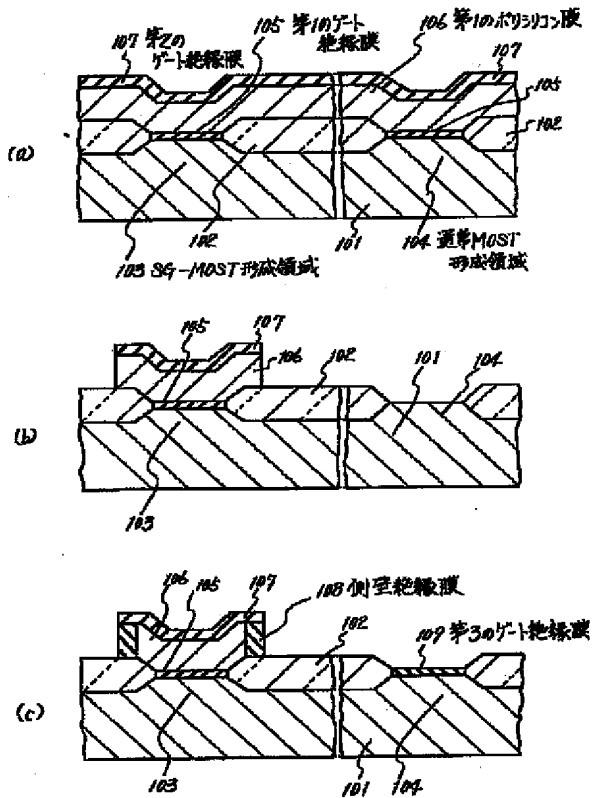
【符号の説明】

- 1, 101, 201 半導体基板
 2, 102, 202 フィールド酸化膜
 3, 103, 203 SG-MOST形成領域
 4, 104, 204 通常MOST形成領域
 5, 105, 205 第1のゲート絶縁膜
 6, 106, 206 第1のポリシリコン膜
 6a, 106a, 206a 浮遊ゲート電極

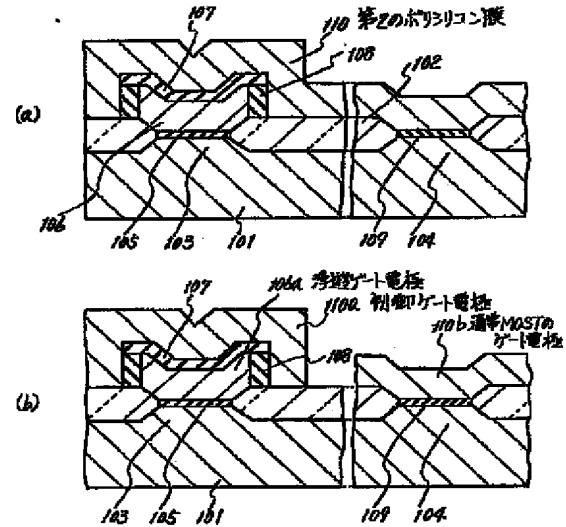
*

- * 7, 107, 207 第2のゲート絶縁膜
 108, 208 側壁絶縁膜
 9, 109 第3のゲート絶縁膜
 10, 110, 210 第2のポリシリコン膜
 10a, 110a, 210a 制御ゲート電極
 10b, 110b, 210b 通常MOSTのゲート電極

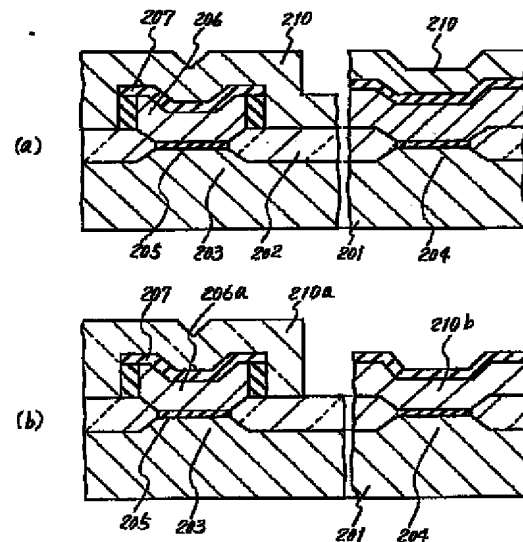
【図1】



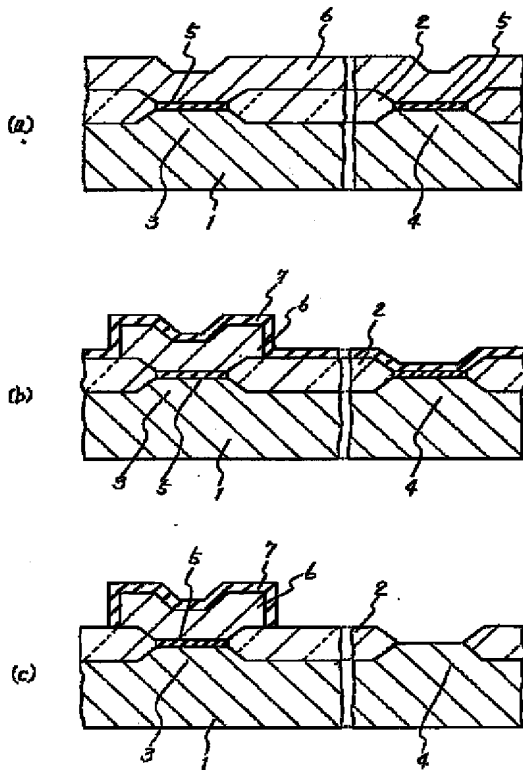
【図2】



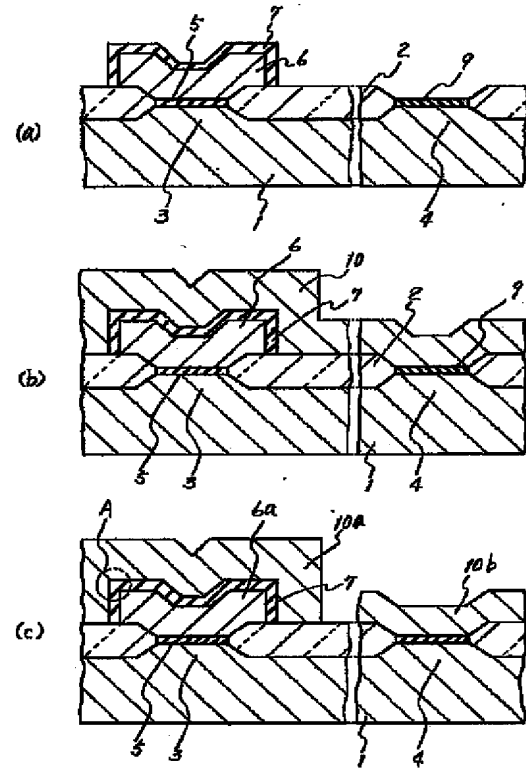
【図6】



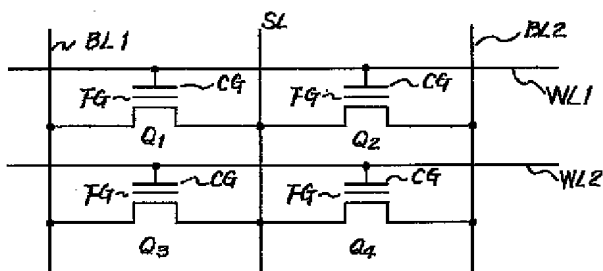
【図 3】



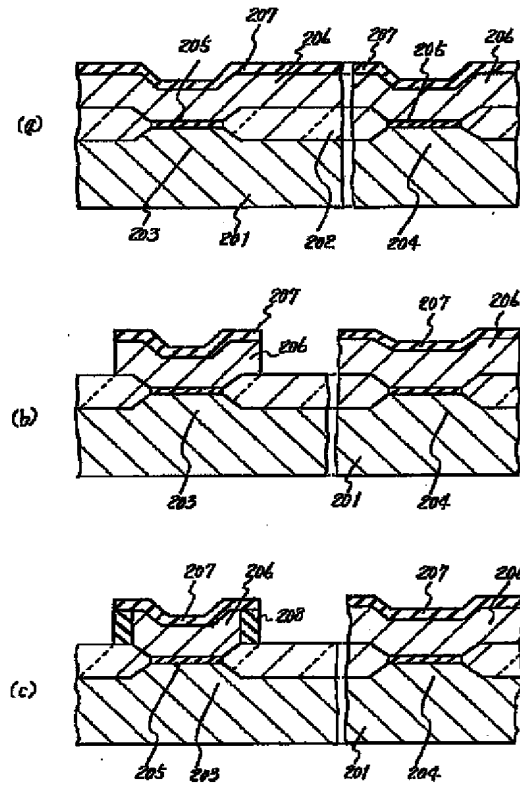
【図 4】



【图7】



【図5】



[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the manufacture approach of a non-volatile semiconductor memory including the process which forms an insulator layer in the side-attachment-wall section of the floating-gate electrode of a stack gate mold MOS transistor about the manufacture approach of a non-volatile semiconductor memory.

[0002]

[Description of the Prior Art] The manufacture approach of the conventional stack gate mold MOS transistor is explained with reference to drawing 3 - drawing 4 . First, as shown in drawing 3 (a), thick field oxide 2 is formed by the usual selective oxidation method on the P type silicon substrate 1, and the 1st gate oxide of a stack gate mold MOS transistor (it is described as SG-MOST below) and the 1st becoming gate oxide 5 are formed. then, using a lithography technique, as shown in drawing 3 (b) after forming the 1st polish recon film 6, this 1st polish recon film 6 etches by anisotropic etching like RIE (reactant ion -- dirty) so that only the SG-MOST formation field 3 and its near may remain. Next, the 2nd gate dielectric film 7 (for example, silicon nitride film) which has oxidation resistance with a CVD method (chemical-vapor-deposition method) etc. over the whole surface is formed. Next, as shown in drawing 3 (c), through a lithography technique, it leaves the 1st upper part and side-attachment-wall section of the polish recon film 6, and the 2nd gate dielectric film 7 is removed. Next, as shown in drawing 4 (a), the 3rd gate dielectric film 9 which usually turns into gate oxide of MOST is usually formed in the MOST formation field 4 by the oxidizing [thermally] method etc. Next, as shown in drawing 4 (b), the 2nd polish recon film 10 is formed over the whole surface. Then, using a lithography technique, by etching the 1st polish recon film 6, the 2nd gate dielectric film 7, and the 2nd polish recon film 10 into a predetermined configuration, floating-gate electrode 6a and control gate electrode 10a are formed in the SG-MOST formation field 3, and gate electrode 10b is usually formed in the MOST formation schedule field 4. SG-MOST which has a two-layer gate electrode by this, and usual [which have a gate electrode further / MOST] are formed.

[0003] Next, the circuit diagram of the cel array which uses SG-MOST as a memory cell at drawing 7 is shown. For a control gate electrode and FG, a floating-gate electrode, and BL1 and BL2 are [CG / a word line and SL of a bit line, and WL1 and WL2] grounding conductors.

[0004] By making WL1 and BL1 into high potential (for example, about 14V) at coincidence, and generating a hot electron, the writing to SG-MOSTQ1 pours an electron into the floating-gate electrode FG of Q1, and is attained.

[0005]

[Problem(s) to be Solved by the Invention] However, by the conventional manufacture approach mentioned above, when forming the 2nd gate dielectric film in the upper part of a floating-gate electrode, in order to form it in coincidence also at the side-attachment-wall section, only the insulator layer of the same thickness is formed. By the way, although a cel Q1 has the danger that an electron will be emitted to a control gate electrode from a floating-gate electrode since only a control gate electrode serves as high potential when writing in a cel Q1 and writing in a cel Q2 succeedingly Since an insulator layer tended to have become an ununiformity in the edge section A of floating-gate electrode 6a as shown in drawing 4 (c), there was a trouble that the threshold electrical potential difference of the cel which an electron becomes easy to dissipate and was written in there fell.

[0006]

[Means for Solving the Problem] The manufacture approach of the non-volatile semiconductor memory of this invention The process which forms field oxide in the surface section of a 1 conductivity-type semi-conductor substrate alternatively, and divides a component formation field, The process which forms the 1st gate dielectric film in the semi-conductor substrate front face of said component formation field, Patterning is performed after forming the 1st conductive film and 2nd oxidation-resistant gate dielectric film one by one. To said near a component formation field and near the 1st A residual **** process, It has the process which forms the control gate electrode which consists of a floating-gate electrode which performs patterning and serves as a process which oxidizes the side face of said 1st electric conduction film, and forms a side-attachment-wall insulator layer from the conductive film in said 1st [the] after depositing the 2nd conductive film, and said 2nd conductive film.

[0007]

[Example] Next, the 1st example of this invention is explained with reference to drawing 1 - drawing 2 .

[0008] First, as shown in drawing 1 (a), thick field oxide 102 is formed in the front face of a 1 conductivity-type semi-conductor substrate 101 like P type silicon by the usual selective oxidation method, the SG-MOST formation field 103 and the

usual MOST formation field 104 are divided, and an oxidation silicone film with a thickness of about 20nm is formed in the SG-MOST formation field 103 and the usual MOST formation field 104 as 1st gate insulating layer 105. Then, the 1st polish recon film 106 is formed over the whole surface, and the 1st polish recon film 106 is made to diffuse Lynn. then, the 1st polish recon film 106 top – CVD (chemical vapor deposition) -- a silicon nitride film with a thickness of 20nm is formed as the 2nd gate dielectric film 107 which has oxidation resistance by law etc.

[0009] Then, through a lithography process, as shown in drawing 1 (b), it etches so that it may leave the 1st polish recon film 106 and 2nd gate dielectric film 107 only the SG-MOST formation field 103 and near the ****.

[0010] Next, as shown in drawing 1 (c), the 3rd gate dielectric film 109 and side-attachment-wall insulator layer 108 are usually formed in the side-attachment-wall section of the MOST formation field 104 and the 1st polish recon film 106 by oxidizing thermally, respectively. If an oxidation silicone film with a thickness of about 20nm is usually formed in the MOST formation field 104 at this time, since Lynn is spread on the 1st polish recon film 106, there is an oxidation rate 1.5 times to about the twice of the semi-conductor substrate 101, and an oxidation silicone film with a thickness of about 30-40nm is formed in the side-attachment-wall section of the 1st polish recon film 106.

[0011] Next, as shown in drawing 2 (a), the 2nd polish recon film 110 of MOST is formed over the whole surface. Then, by etching the 2nd polish recon film 110, the 2nd gate dielectric film 107, and the 1st polish recon film 106 into a predetermined pattern using a lithography process, as shown in drawing 2 (b), in the MOST formation field 104, gate electrode 110b is usually formed in a SG-MOST formation field for floating-gate electrode 106a and control gate electrode 110a, respectively. Then, the impurity diffused layer which carries out the ion implantation of the n mold impurity by using control gate electrode 110a and gate electrode 110b as a mask, and works as a drain and the source is formed. Thereby, MOST is usually formed with SG-MOST.

[0012] Since a side-attachment-wall insulator layer can be formed thickly independently [the 2nd gate dielectric film 107], dissipation of the electron at the time of writing can be lessened.

[0013] Next, the 2nd example of this invention is explained with reference to drawing 5 and drawing 6 .

[0014] First, as shown in drawing 5 (a), an oxidation silicone film with a thickness

of about 20nm is formed in the SG-MOST formation field 203 and the usual MOST formation field 204 which formed thick field oxide 202 in the surface section of a semi-conductor substrate 201 like P type silicon by the usual selective oxidation method, and were divided as the 1st gate dielectric film 205. The 1st polish recon film 206 is formed over the whole surface after that, and the 1st polish recon film 206 is made to diffuse Linn. Then, a silicon nitride film with a thickness of 20nm is formed as the 2nd gate dielectric film 206 which has oxidation resistance with a CVD method etc. on the 1st polish recon film 206. After that, through a lithography process, as shown in drawing 5 (b), method etching of formation **** is performed for the 1st polish recon film 206 and 2nd gate dielectric film 207 to the SG-MOST formation field 203, its near, and the predetermined field that usually includes the MOST formation field 204. Next, it oxidizes thermally, the side face of the 1st polish recon film 206 is oxidized, and the side-attachment-wall insulator layer 208 with a thickness of 30-40nm is formed. Usually, a side-attachment-wall insulator layer is formed also in the 1st polish recon film 206 in the direction of the MOST formation field 204.

[0015] Next, as shown in drawing 6 (a), the 2nd polish recon film 210 is formed over the whole surface. After that the 2nd polish recon film 210, the 2nd gate dielectric film 207, and the 1st polish recon film by etching into a predetermined pattern using a RISOGU fee process As shown in drawing 6 (b), gate electrode 210b usual [MOST] which usually crossed the MOST formation field 204 usual MOST formation field 204, and has been arranged in floating-gate electrode 206a which crossed the SG-MOST formation field 203 and has been arranged, and control gate electrode 210a is formed. The 2nd polish recon film of the gate electrode 210b section may be removed like illustration. Then, the ion implantation of the n mold impurity is carried out by using the 2nd polish recon film (210a, 210b) as a mask, and the impurity diffused layer which works as a drain and the source is formed. Thereby, an MOS transistor (MOST) is usually formed with SG-MOST.

[0016] In this example, since formation of the side-attachment-wall insulator layer 208 can carry out independently of the both sides of the 2nd gate dielectric film 207 and gate dielectric film usual [MOST], dissipation of the electron from a floating-gate electrode can be prevented much more certainly.

[0017]